

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-200265

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl.⁶

G 0 6 F 7/52

7/38

// G 0 6 F 7/54

識別記号

3 2 0 A

B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21)出願番号 特願平6-319312

(22)出願日 平成6年(1994)11月29日

(31)優先権主張番号 1 5 8, 6 4 0

(32)優先日 1993年11月29日

(33)優先権主張国 米国 (US)

(71)出願人 590000400

ヒューレット・パッカード・カンパニー
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72)発明者 ルビー・ペイロー・リー

アメリカ合衆国カリフォルニア州ロスアル
トスヒルズ、アサートンコート 12933

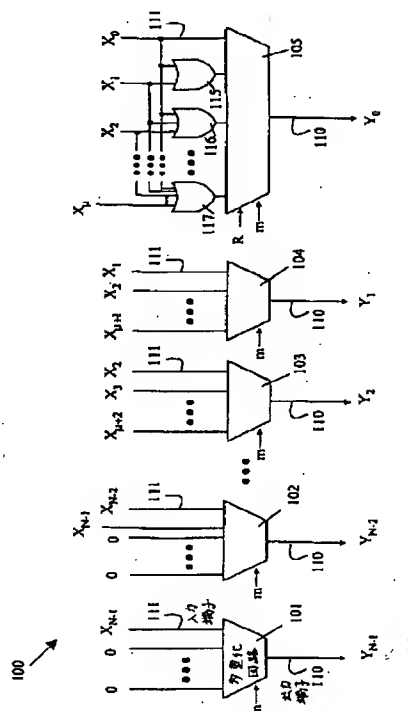
(74)代理人 弁理士 上野 英夫

(54)【発明の名称】 シフト及び丸め回路

(57)【要約】

【目的】 2 の冪乗による除算の結果を丸めることにより、一連の演算における丸め誤差の累積などを軽減する。

【構成】 図で入力端子 111 から与えられたワード $X = X_{N-1} X_{N-2} \dots X_0$ をシフトレジスタ（ここでは多重化回路 101-105 によって実現されている）で m ビット右シフトすることにより、 X の 2^m による除算結果 $Y = Y_{N-1} Y_{N-2} \dots Y_0$ (X_0 , Y_0 が最下位ビット) を得る。ここにおいて除算結果の最下位ビット 0 として、単純に m ビットの右シフトを行った結果得られる値 X_m とこの右シフトによって最下位ビットからこぼれ落ちた値 X_{m-1} , X_{m-2} , \dots , X_0 の論理和 ($X_m \text{ OR } X_{m-1} \text{ OR } X_{m-2} \text{ OR } \dots \text{ OR } X_0$) の結果を採用することにより、丸め処理をする。



【特許請求の範囲】

【請求項 1】以下の(a)ないし(d)を設け、ビット X_i (ここで i は0から $(N-1)$ までの整数)を有する語 X を、非負整数であり且つ $m \leq \mu \leq N-1$ である整数 m について m 桁だけシフトして、ビット Y_i を有する語 Y を得るシフト及び丸め回路；

(a)複数の入力端子：前記入力端子の各々は X_i の1つを受け取り、 X_i の各々に対応する1つの前記入力端子が存在する；

(b)複数の出力端子： Y_i の各々に対応する前記出力端子が1つ存在する；

(c)複数の第1の多重化回路：前記第1の多重化回路の各々は前記出力端子の1つに接続され、 Y_j (j は1から $(N-1-m)$ までの整数)に対応する前記出力端子に接続されている前記第1の多重化回路は Y_j に対応する前記出力端子を X_{j+m} に対応する前記入力端子に接続する；

(d)第2の多重化回路：前記第2の多重化回路は、 Y_0 に接続され、 Y_0 を X_0 ないし X_m について論理和を取った値を有する信号に接続する。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はコンピュータに関し、更に詳細にはそれに使用する算術装置に関する。

【0002】

【従来技術及びその問題点】ディジタルコンピュータで行なわれる多数の計算は整数を2の冪乗で割ることを含んでいる。たとえば、Haar変換を利用する画像圧縮計算では隣接ピクセル値の和及び差を2で割る計算が必要である。同様に、2進分数による乗算は複数の加算演算に分解することができ、ここで1つのオペランドが整数を2の冪乗で割りこの結果結果を第2の整数に加えることで生成する。

【0003】整数の 2^m による割算を行なう最も速い方法は整数を m 桁だけ右にシフトすることである。このようなシフトは単一の命令サイクルで実行することができる。従って、この手順は重要な利点を持っている。残念ながら、この方法により得られる結果は常にシフトアウトされたビットを捨てて下方に丸められる。このような下方への丸めを以下の説明では切り捨てと呼ぶ。このような下方への丸めは多くの状況では許容できるが、これが望ましくない場合も多数存在する。たとえば、各計算が前の計算の結果を用いる一連の計算を行なおうとすれば、すべての計算が切り捨てを利用している場合丸め誤差は更に大きくなるであろう。

【0004】加えて、多くの値から成る集合の上で演算するときある統計的性質を維持するのが重要な場合がしばしばある。画像内の隣接ピクセルを平均することにより画像の大きさを縮小する場合を考える。つまり、4ピクセルから成る各グループを置き換えられる4ピクセル

の平均に等しい値を持つ1つのピクセルで置き換える。画像は 1×1 のピクセルアレイで表される。このピクセルの縮小は先ずアレイの奇数行及び偶数行を平均して $1 \times 1/2$ の中間アレイを作ることにより達成することができる。この中間アレイの奇数列及び偶数列は次に平均されて最終の $(1/2) \times (1/2)$ アレイを発生する。各種平均化演算が常に切り捨ての場合のように下方への丸めを行えば、最終画像は元の画像とは異なる統計的性質を持つことになる。たとえば、縮小された画像は元のアレイより低い平均光度を持つことになる。この種のアーティファクトを回避することがしばしば重要になる。

【0005】

【目的】本発明の目的は、一般的に言えば、整数を2の冪乗で割った結果を丸める改良された方法及び装置を提供することである。

【0006】本発明の別の目的は、結果を偏らせることなく整数を2の冪乗で割る方法及び装置を提供することである。

【0007】本発明のこれらの及び他の目的は当業者には本発明の次の詳細な説明及び付図から明らかになるであろう。

【0008】

【概要】本発明の一実施例によれば、0から $(N-1)$ までの整数 i についてビット X_i を有する語 X を、非負整数であり且つ $m \leq \mu \leq N-1$ である整数 m について、 m 桁だけシフトして、0から $(N-1)$ までの整数 i についてのビット Y_i を有する語 Y を得る装置が与えられる。この装置は複数の入力端子を持ち、これら入力装置の各々は前記ビット X_i の1つを受け取り、また0から $(N-1)$ までの整数 i について、各 X_i に対応する入力端子が1つ存在する。同様に、この装置は0から $(N-1)$ までの整数 i について各 Y_i に対応するものが1つ存在する複数の出力端子を備えている。シフト動作は複数の多重化回路の支援のもとに達成される。各多重化回路は出力端子の1つに接続されている。 Y_i に対応する出力端子に接続されている多重化回路は Y_i に対応する出力端子を1から $(N-1-m)$ までの整数 i について X_{i+m} に対応する入力端子に接続する。 Y_0 に接続されている多重化回路は Y_0 を値 $(X_0 \text{ OR } X_1 \text{ OR } \dots X_m)$ を有する信号に接続する。 $(p+m) > (N-1)$ を満足する Y_p に対応する出力端に接続されている多重化回路は、 X が符号なしの整数であれば Y_p に対応する出力端子を論理0に接続する。 $(p+m) \geq (N-1)$ を満足する Y_p に対応する出力端子に接続されている多重化回路は、 X が符号付きの整数であれば Y_p に対応する出力端子を X_{N-1} に対応する入力端子に接続する。

【0009】

【実施例】上に記した通り、 X を 2^m で割ることは X が2進数で整数であれば X を m だけ右にシフトすることと

3

等価である。「1」の値を有するビットがシフトによって語からこぼれ落ちた場合、丸め誤差が生じているといわれる。偏りのない結果に導く可能な丸め方法は2つあり、これらを奇数丸め及び偶数丸めという。偶数丸めシステムでは、演算結果は丸め誤差が生ずれば最も近い偶整数に丸められる。奇数丸めシステムでは、演算結果は丸め誤差が生ずれば最も近い奇整数に丸められる。浮動小数点ハードウェアでは偶数丸めが通常採用される。その理由は、ある形態の偶数丸めの方がある種の計算で累積誤差が少なくなるからである。

【0010】本発明によるシフト及び丸め回路100の一実施例のブロック図である図1を参照する。本発明は、このようなシステムを実施するのに必要なハードウェアが整数除算の場合特に簡単であるから奇数丸めシステムを使用している。整数 X を 2^m で割った結果 Y を考える。 X は、0から $(N-1)$ までの整数 i について、ビット X_i を有し、また X_0 は X の最下位ビットであるとする。 X は典型的には幾つかのレジスタに保持され、そのビットは入力線111により本発明の実施例に対して与えられる。各入力線にはそれが接続されているビットのラベルが付けられている。 Y は一組の出力線110に乗っているビット信号により表される。シフト動作は、 m から $(N-1)$ までの整数 i について、 X_i を Y_{i-m} に導く多重化回路の助けを借りて行なわれる。多重化回路の例を101-104で示してある。一般に、多重化回路は $(\mu+1)$ 対1のマルチプレクサである。ここで μ は m に許される最大の数である。 μ の可能な最大値は $N-1$ である。各マルチプレクサは m 番目のマルチプレクサ入力線上の入力線をデジタル信号 m にตอบสนองして出力線110に接続する。

【0011】 Y の最上位ビットに接続されているマルチプレクサは、それに対して対応する X ビットが存在しない多数の入力を備えている。これらの入力は図1に示す実施例では論理0に接続されているが、当業者には、これらマルチプレクサを、 $N-1$ より大きい入力線を選択すれば論理0に接続されている入力を入力線に接続することにより、入力線の本数が図1に示すものよりも少ないマルチプレクサで置き換えることができることが明らかであろう。しかし、以下の説明を簡単にするため、各マルチプレクサは $(\mu+1)$ 対1のマルチプレクサであると仮定する。シフト及び丸め回路100が符号なしの整数についての演算を行っていれば、マルチプレクサは、対応する X ビットの添字が $N-1$ より大きくなってしまふ場合には論理0に接続される入力を選択する。 $(p+m) > (N-1)$ であれば、 Y_p に接続されているマルチプレクサは Y_p を論理0に接続する。

【0012】回路100が符号付き整数についての演算を行っていれば、 Y の最上位ビットに接続されているマルチプレクサが Y を X_{N-1} に接続することにより、符号ビットを保存する。従って、 $(p+m) \geq (N-1)$ であ

4

れば、 Y_p に接続されているマルチプレクサが Y_p を X_{N-1} が接続されている入力線に接続する。マルチプレクサには、これを満足するように接続できる入力せんが常に1本存在する。

【0013】 Y_0 に接続されているマルチプレクサ105は本発明の実施例に使用されている奇数丸めシステムを実現する。マルチプレクサ105は丸め信号 R 及び X のシフト桁数を指定するシフト信号 m にตอบสนองする。丸め信号 R にตอบสนองして奇数丸めを行なうには、マルチプレクサ105はマルチプレクサ105への m 番目の入力を選択することにより Y の最下位ビットを $(X_0 \text{ OR } X_1 \text{ OR } \dots \text{ OR } X_m)$ で置き換える。マルチプレクサ105への m 番目の入力は X_0 から X_m までの入力を有するOR回路に接続されている。OR回路の例を115-117で示してある。シフトされてこぼれ落ちた X のビットのどれかが「1」であれば、丸め誤差が生じている。この場合には、 Y の最下位ビットは強制的に「1」にさせられる。すなわち、演算結果は最も近い奇数に丸められる。丸め誤差が生じていなければ、 Y の最下位ビットは X_m である。

【0014】この形式の丸め処理によって得られる平均誤差は X の値の最下位 $(m+1)$ ビットが一様に分布していれば0であることを示すことができる。偶数丸めシステムも丸めにおける偏りを防止していることに注目すべきである。しかし、偶数丸めシステムを実現するのに必要なハードウェアは上に記したものよりかなり複雑であり、従って奇数丸めシステムの方が望ましい。

【0015】本発明を整数の 2^m による除算に関する局面での有用性の見地から説明してきたが、当業者には本発明が整数ばかりでなく固定小数点での演算にも有用であることが明らかであろう。

【0016】本発明に対する種々の修正が前述の説明及び付図から当業者には明らかであろう。従って、本発明の技術的範囲は特許請求の範囲によってのみ限定されるものである。

【0017】以下に本発明の実施態様の例を列挙する。

【0018】〔実施態様1〕以下の(a)ないし(d)を設け、ビット X_i (ここで i は0から $(N-1)$ までの整数)を有する語 X を、非負整数であり且つ $m \leq \mu \leq N-1$ である整数 m について m 桁だけシフトして、ビット Y_i を有する語 Y を得るシフト及び丸め回路：

(a)複数の入力端子：前記入力端子の各々は X_i の1つを受け取り、 X_i の各々に対応する1つの前記入力端子が存在する；

(b)複数の出力端子： Y_i の各々に対応する前記出力端子が1つ存在する；

(c)複数の第1の多重化回路：前記第1の多重化回路の各々は前記出力端子の1つに接続され、 Y_j (j は1から $(N-1-m)$ までの整数)に対応する前記出力端子に接続されている前記第1の多重化回路は Y_j に対応する前記出力端子を X_{j+m} に対応する前記入力端子に接続

する；

(d) 第2の多重化回路：前記第2の多重化回路は、Y0に接続され、Y0をX0ないしXmについて論理和を取った値を有する信号に接続する。

【0019】【実施態様2】Xが符号なしの整数である場合、 $(p+m) > (N-1)$ を満足するYpに対応する前記出力端子に接続されている前記第2の多重化回路は、前記Ypに対応する前記出力端子を論理0に接続することを特徴とする実施態様1記載のシフト及び丸め回路。

【0020】【実施態様3】Xが符号付きの整数である場合、 $(p+m) \geq (N-1)$ を満足するYpに対応する前記出力端子に接続されている前記第2の多重化回路はYpに対応する前記出力端子をXN-1に対応する前記入力端子に接続することを特徴とする実施態様1記載のシフト及び丸め回路。

【0021】【実施態様4】以下のステップ(a)ないし(d)を設け、ビットXi (iは0からN-1)までの整数を有する語Xをm桁 ($m \leq \mu \leq N-1$ を満足する非負整数) だけシフトして、ビットYiを有する語Yを得る方法：

(a) 各々が前記ビットXiの1つを受け取り、またXiの各々に対応するものが1つ存在する複数の入力端子を設けるステップ；

(b) 各Yiに対応するものが1つ存在する複数の出力端

子設けるステップ；

(c) Yiに対応する前記出力端子の各々をXi+mに対応する前記入力端子に接続するステップ；

(d) Y0をX0ないしXmの論理和の値を有する信号に接続するステップ。

【0022】【実施態様5】前記Xが符号なしの整数である場合、 $(p+m) > (N-1)$ を満足する前記Ypに対応する前記出力端子を論理0に接続するステップを設けたことを特徴とする実施態様4記載の方法。

10 【0023】【実施態様6】前記Xが符号付きの整数である場合、 $(p+m) \geq (N-1)$ を満足するYpに対応する前記出力端子を前記XN-1に対応する前記入力端子に接続するステップを設けたことを特徴とする実施態様4記載の方法。

【0024】

【効果】以上詳細に説明したように、本発明によれば、2の冪乗による除算を高速かつわずかな丸め誤差で計算することができる。

【図面の簡単な説明】

20 【図1】本発明の一実施例のブロック図。

【符号の説明】

101-105：多重化回路

110：出力端子

111：入力端子

115-117：OR回路

【図1】

